

## ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN

- Tên học phần:** Thiết kế mạch tích hợp **Mã học phần:** VLCD436264
- Tên Tiếng Anh:** Integrated Circuits Design
- Số tín chỉ:** 3 tín chỉ (3/0/6) (3 tín chỉ lý thuyết, 0 tín chỉ thực hành/thí nghiệm)  
*Phân bố thời gian:* 15 tuần (3 tiết lý thuyết + 0 tiết thực hành + 6 tiết tự học/ tuần)
- Các giảng viên phụ trách học phần:**
  - Giảng viên phụ trách chính:*
    - TS. Võ Minh Huân
  - Danh sách giảng viên cùng giảng dạy:*
    - ThS. Huỳnh Hoàng Hà
    - ThS. Phạm Văn Khoa
- Điều kiện tham gia học tập học phần:**
  - Môn học tiên quyết:* Không
  - Môn học trước:* Thiết kế vi mạch số với HDL.
- Mô tả học phần (Course Description):**

Môn học giúp sinh viên có khả năng thiết kế các công logic tổ hợp và tuần tự cơ bản, từ đó xây dựng nên một hệ thống thiết kế vi mạch số có kích thước và ứng dụng lớn, một hệ thống vi mạch số tích hợp. Môn học giúp sinh viên phân tích ảnh hưởng các thành phần ký sinh R, L, C tới vấn đề định thời, công suất tiêu thụ của thiết kế, từ đó sinh viên có thể đưa ra các giải pháp tối ưu để thiết kế một vi mạch số. Môn học cũng trang bị cho sinh viên kiến thức về cách sản xuất và thực hiện layout một công logic chuẩn tới một hệ thống vi mạch số.

### 7. Mục tiêu học phần (Course Goals):

Mục tiêu	Mô tả <i>Học phần này trang bị cho sinh viên:</i>	ELOs
G1	Kiến thức chuyên môn trong lĩnh vực thiết kế vi mạch như các bước sản xuất, định thời, công suất tiêu thụ động, công suất tiêu thụ tĩnh, mô hình tính toán RC...	1 (H), 7(M)
G2	Khả năng phân tích, giải thích và lập luận giải quyết các vấn đề kỹ thuật thiết kế vi mạch.	2 (H),
G3	Kỹ năng sử dụng các công cụ mô phỏng để phân tích thiết kế.	3 (M)
G4	Khả năng thiết kế, tính toán các hệ thống trong lĩnh vực vi mạch.	11(H), 10(M)

\* Ghi chú: H: *High*; M: *Medium*; L: *Low*

## 8. Chuẩn đầu ra của học phần:

CLOs		Mô tả <i>Sau khi học xong môn học này, người học có thể:</i>	ELOs
G1	G1.1	Trình bày được các thước đo khi thiết kế một vi mạch số	01
	G1.2	Trình bày được lưu đồ các bước thiết kế và sản xuất vi mạch	01
	G1.3	Trình bày được đặc tính hoạt động của Diot, MOSFET và các chế độ hoạt động của linh kiện vi mạch	01
	G1.4	Tính toán giá trị định thời, công suất, năng lượng và sự trả giá giữa năng lượng và tốc độ khi thiết kế mạch số	01, 07
	G1.5	Trình bày được đặc tính I-V các cổng logic tổ hợp và tuần tự. Trình bày nguyên tắc thiết kế các mạch số	01, 07
G2	G2.1	Phân tích được hành vi động và tĩnh của cổng inverter và các ảnh hưởng khi giảm kích thước công nghệ tới cổng inverter này	02
	G2.2	Có khả năng mô phỏng một vi mạch ở mức transistor trên chương trình mô phỏng vi mạch SPICE	02
	G2.3	So sánh được ưu khuyết điểm của các loại thiết kế cổng tổ hợp và tuần tự. So sánh thiết kế cổng tổ hợp CMOS động và CMOS tĩnh, vấn đề an toàn tín hiệu khi thiết kế động. So sánh thiết kế cổng tuần tự mạch chốt và thanh ghi tĩnh và động	02
	G2.4	Tính toán nhiễu, méo dạng tín hiệu, ảnh hưởng R,L,C tới định thời và nguyên tắc xây dựng mạng clock đồng bộ	02
G3	G3.1	Khả năng sử dụng công cụ mô phỏng	03
	G3.2	Giải thích được các hiện tượng mô phỏng trên mạch mô phỏng	03
G4	G4.1	Thiết kế các hệ thống số như mạch cộng, mạch nhân, mạch dịch, các khối ALU	11, 10
	G4.2	Thiết kế các ứng dụng như hệ thống thu phát số, mạch điều chế, giải điều chế số	11, 10
	G4.3	Tính toán công suất tiêu thụ, định thời, tốc độ chip	11, 10

## 9. Tài liệu học tập:

### a. Giáo trình chính:

[1] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic, *Digital Integrated Circuits*, 2<sup>nd</sup> ed.

### b. Tài liệu tham khảo:

[2] R. Jacob Baker, *CMOS Circuit Design, Layout and Simulation*, 2<sup>nd</sup> Edition, Wiley.

[3] HSPICE tutorial.

## 10. Kiểm tra và đánh giá:

### a. Thang điểm đánh giá: 10

### b. Kế hoạch thực hiện:

Hình thức	Nội dung	Thời điểm	Công cụ KT	CLOs	Tỉ lệ (%)
<b>Kiểm tra</b>					<b>50</b>

M.1	Tính toán trì hoãn trong mô hình R,L,C và ảnh hưởng của nó tới hoạt động MOSFET	Tuần 7	Kiểm tra trên lớp	G1.1,G1.2 G1.3,G1.4, G1.5	15
M.2	Thiết kế và mô phỏng một hàm logic cho trước bao gồm các cổng tổ hợp và tuần tự	Tuần 11	Kiểm tra trên lớp	G2.1,G2.2, G2.3, G2.4	15
P	Phân tích datapath trong thiết kế khối ALU	Tuần 13	Bài tập về nhà	G3.1, G3.2, G4.1	20
<b>Thi cuối kỳ</b>					<b>50</b>
F	Nội dung bao quát tất cả các chuẩn đầu ra quan trọng của môn học.		Thi trên máy	G4.2, G4.3, G2.3, G2.4, G1.4, G1.5	50

\* Ghi chú: Q: Quizzes; H: Homework; P: Project; M: Midterm Exam; F: Final Exam;

### 11. Nội dung và kế hoạch giảng dạy:

Tuần	Nội dung	CLOs
1	<b>Chương 1. Giới thiệu (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> 1.1. Tầm nhìn lịch sử của sự phát triển vi mạch 1.2. Các vấn đề trong thiết kế vi mạch số 1.3. Thước đo để đánh giá một thiết kế số 1.4. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Thảo luận nhóm + Trình chiếu	G1.1, G1.2, G1.3
	<b>Các nội dung tự học: (6)</b> + Nguyên tắt hoạt động của CMOS + Cách thiết kế một ứng dụng số như bộ nhân, bộ cộng	G1.1, G1.2, G1.3
2	<b>Chương 2. Quá trình sản xuất vi mạch (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> 2.1. Giới thiệu 2.2. Sản xuất mạch tích hợp CMOS 2.3. Quy luật thiết kế 2.4. Đóng gói vi mạch 2.5. Hướng phát triển 2.6. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Thảo luận nhóm + Trình chiếu	G1.2, G1.3 G1.4
	<b>Các nội dung tự học: (6)</b> + Linh kiện MOSFET được hình thành như thế nào?	G1.1, G1.2,

	+ Công nghệ CMOS mới nhất?	G1.3
3	<b>Chương 3. Linh kiện vi mạch (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> 3.1. Giới thiệu 3.2. Diode 3.3. Transistor MOSFET 3.4. Tầm nhìn khi giảm kích thước công nghệ 3.5. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Thảo luận nhóm + Trình chiếu	G1.4, G1.5
	<b>Các nội dung tự học: (6)</b> + Trì hoãn khi tín hiệu qua mạch RC? + Tìm hiểu ngôn ngữ SPICE	G1.2, G2.1, G2.2
4	<b>Chương 4. Đường dây liên kết nối (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> 4.1. Giới thiệu 4.2. Các tham số đường dây liên kết nối-Điện cảm, điện dẫn, và điện trở. 4.3. Mô hình tính đường dây điện 4.4. Mô hình đường dây SPICE 4.5. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Trình chiếu + Thảo luận nhóm	G3.1, G3.2
	<b>Các nội dung tự học: (6)</b> + Tính toán RC gồm nhiều tầng + Mô phỏng mạch RC trên và so sánh kết quả.	G4.1, G4.2
5	<b>Chương 5. Cổng đảo CMOS (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> 5.1. Giới thiệu 5.2. Cổng CMOS inverter tĩnh 5.3. Đánh giá độ mạnh của CMOS inverter: hành vi tĩnh 5.4. Khả năng của CMOS inverter: hành vi động 5.5. Công suất, năng lượng và độ trễ 5.6. Giảm kích thước công nghệ và ảnh hưởng của nó tới thước đo cổng inverter 5.7. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng	G2.1, G2.2, G2.3

	<ul style="list-style-type: none"> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	
	<b>Các nội dung tự học: (6)</b> <ul style="list-style-type: none"> <li>+ Mô phỏng cổng inverter trên SPICE</li> <li>+ Tính toán các giá trị công suất, năng lượng, trì hoãn</li> </ul>	G3.1, G3.2,
6	<b>Chương 6. Thiết kế các cổng logic tổ hợp trong CMOS (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> <ul style="list-style-type: none"> <li>6.1. Giới thiệu</li> <li>6.2. Thiết kế CMOS tĩnh</li> <li>6.3. Thiết kế CMOS động</li> <li>6.4. Góc nhìn công nghệ</li> <li>6.5. Tóm tắt</li> </ul> <b>Phương pháp giảng dạy:</b> <ul style="list-style-type: none"> <li>+ Thuyết giảng</li> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	G2.1, G2.2, G2.3
	<b>Các nội dung tự học: (6)</b> <ul style="list-style-type: none"> <li>+ Thiết kế các cổng logic tổ hợp trên SPICE</li> <li>+ Mô phỏng cổng logic trên và đánh giá các thước đo công nghệ</li> </ul>	G3.1, G3.2
7	<b>Chương 7. Thiết kế cổng logic tuần tự (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> <ul style="list-style-type: none"> <li>7.1. Giới thiệu</li> <li>7.2. Latch và Thanh Ghi tĩnh</li> <li>7.3. Latch và Thanh Ghi động</li> <li>7.4. Các loại Thanh Ghi khác</li> <li>7.5. Đường ống: một phương pháp để tối ưu mạch tuần tự</li> <li>7.6. Mạch tuần tự nonbistable</li> <li>7.7. Góc nhìn- chọn một chiến lược triển khai clock</li> <li>7.8. Tóm tắt</li> </ul> <b>Phương pháp giảng dạy:</b> <ul style="list-style-type: none"> <li>+ Thuyết giảng</li> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	G3.1, G3.2, G4.1
	<b>Các nội dung tự học: (6)</b> <ul style="list-style-type: none"> <li>+ Thiết kế các mạch Thanh Ghi và Latch trên SPICE</li> <li>+ Mô phỏng và phân tích các kết quả</li> </ul>	G4.1, G4.2
8	<b>Chương 8. Chiến lược thực thi cho vi mạch số (3/0/6)</b>	
	<b>Nội dung giảng dạy trên lớp: (3)</b> <ul style="list-style-type: none"> <li>8.1. Giới thiệu</li> <li>8.2. Thiết kế mạch theo yêu cầu của khách hàng (custom design).</li> <li>8.3. Thiết kế dựa trên cell</li> </ul>	

	<p>8.4. Thiết kế dựa trên mảng</p> <p>8.5. Góc nhìn: phong cách thiết kế trong tương lai</p> <p>8.6. Tóm tắt</p> <p><b>Phương pháp giảng dạy:</b></p> <ul style="list-style-type: none"> <li>+ Thuyết giảng</li> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	
	<p><b>Các nội dung tự học: (6)</b></p> <ul style="list-style-type: none"> <li>+ Tập hợp tất cả các cổng đã thiết kế ở các chương trước thành một thư viện cell</li> <li>+ Mô phỏng một hàm bao gồm nhiều cổng logic khác nhau.</li> </ul>	G4.2, G41.
	<b>Chương 9. Các ảnh hưởng bên trong đường liên kết nối (3/0/6)</b>	
9	<p><b>Nội dung giảng dạy trên lớp: (3)</b></p> <p>9.1. Giới thiệu</p> <p>9.2. Ký sinh điện dung</p> <p>9.3. Ký sinh điện trở</p> <p><b>Phương pháp giảng dạy:</b></p> <ul style="list-style-type: none"> <li>+ Thuyết giảng</li> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	G3.1, G3.2, G4.1
	<p><b>Các nội dung tự học: (6)</b></p> <ul style="list-style-type: none"> <li>+ Mô phỏng các ảnh hưởng R,C trên SPICE</li> </ul>	G3.1
	<b>Chương 9. Các ảnh hưởng bên trong đường liên kết nối (tt) (3/0/6)</b>	
10	<p><b>Nội dung giảng dạy trên lớp: (3)</b></p> <p>9.4. Ký sinh điện cảm</p> <p>9.5. Kỹ thuật liên kết nối cải tiến</p> <p>9.6. Góc nhìn: Network-on-chip</p> <p>9.7. Tóm tắt</p> <p><b>Phương pháp giảng dạy:</b></p> <ul style="list-style-type: none"> <li>+ Thuyết giảng</li> <li>+ Trình chiếu</li> <li>+ Thảo luận nhóm</li> </ul>	G4.1, G4.2
	<p><b>Các nội dung tự học: (6)</b></p> <ul style="list-style-type: none"> <li>+ Mô phỏng và phân tích ảnh hưởng R,L,C tới thiết kế vi mạch</li> </ul>	G3.2, G41.
	<b>Chương 10. Những vấn đề định thời trong mạch số (3/0/6)</b>	
11	<p><b>Nội dung giảng dạy trên lớp: (3)</b></p> <p>10.1. Giới thiệu</p> <p>10.2. Phân loại định thời trong hệ thống số</p> <p>10.3. Thiết kế đồng bộ</p> <p>10.4. Thiết kế mạch tự định thời</p>	G3.1, G3.2

	<b>Phương pháp giảng dạy:</b> + Thuyết giảng + Trình chiếu + Thảo luận nhóm	
	<b>Các nội dung tự học: (6)</b> + Mô phỏng và phân tích các mạch đồng bộ và tự định thời trên SPICE	G1.3, G1.4, G2.1, G2.2
	<b>Chương 10. Những vấn đề định thời trong mạch số (tt) (3/0/6)</b>	
12	<b>Nội dung giảng dạy trên lớp: (3)</b> 10.5. Bộ đồng bộ và bộ phân xử 10.6. Tổng hợp và đồng bộ clock dùng phase Locked Loop 10.7. Định hướng tương lai 10.8. Tóm tắt <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Trình chiếu + Thảo luận nhóm	G2.1, G3.2
	<b>Các nội dung tự học: (6)</b> + Mô phỏng và phân tích các bộ đồng bộ, phân xử và PLL trên SPICE	G3.1, G3.2
	<b>Chương 11. Thiết kế khối thuật toán số (3/0/6)</b>	
13	<b>Nội dung giảng dạy trên lớp: (3)</b> 11.1. Giới thiệu 11.2. Datapath trong kiến trúc bộ xử lý số 11.3. Bộ cộng 11.4. Bộ nhân <b>Phương pháp giảng dạy:</b> + Thuyết giảng + Trình chiếu + Thảo luận nhóm	G4.1, G4.2
	<b>Các nội dung tự học: (6)</b> + Mô phỏng và phân tích bộ cộng, bộ nhân trên SPICE	G3.1, G3.2
	<b>Chương 11. Thiết kế khối thuật toán số (tt) (3/0/6)</b>	
14	<b>Nội dung giảng dạy trên lớp: (3)</b> 11.5. Bộ dịch 11.6. Các phép toán số học khác 11.7. Sự trả giá giữa công suất và tốc độ trong kiến trúc đường datapath 11.8. Góc nhìn: Thiết kế như sự trả giá 11.9. Tóm tắt	G3.2, G4.1, G4.2

	<b>Phương pháp giảng dạy:</b> + Thuyết giảng + Trình chiếu + Thảo luận nhóm	
	<b>Các nội dung tự học: (6)</b> + Mô phỏng bộ dịch trên SPICE và phân tích đánh giá dựa trên các thước đo trong thiết kế vi mạch	G4.1, G4.2
15	<b>Ôn tập (3/0/6)</b>	

**12. Đạo đức khoa học:**

Bất kỳ những hình thức gian lận trong học thuật được phát hiện bao gồm sao chép bài tập về nhà, quay cốp bài thi hoặc kể cả việc cho phép người khác xem bài giải trước thời hạn nộp bài sẽ bị điểm không.

**13. Ngày phê duyệt lần đầu:** 15 / 01 / 2012

**14. Cấp phê duyệt:**

**Trưởng khoa**

**Trưởng BM**

**Nhóm biên soạn**

**TS. Nguyễn Minh Tâm**

**ThS. Nguyễn Ngô Lâm**

**TS. Võ Minh Huân**

**15. Tiến trình cập nhật ĐCCT**

<i>Ngày cập nhật lần 1:</i> 15/01/2014 <i>Nội dung cập nhật:</i>	<b>Người cập nhật:</b> TS. Võ Minh Huân  <b>Trưởng Bộ môn:</b> TS. Võ Minh Huân
<i>Ngày cập nhật lần 2:</i> 15/01/2016 <i>Nội dung cập nhật:</i>	Người cập nhật: TS. Võ Minh Huân  Trưởng Bộ môn: TS. Phan Văn Ca